

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 10 月 6 日 (06.10.2005)

PCT

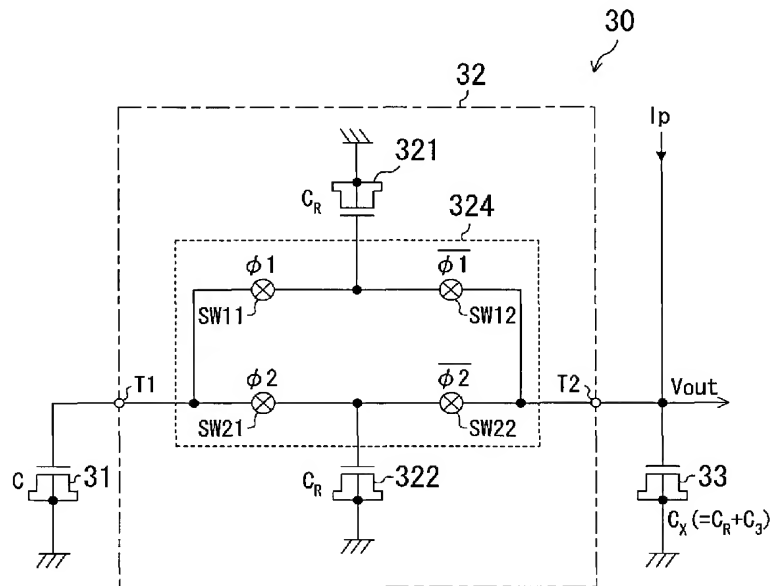
(10) 国際公開番号
WO 2005/093952 A1

- (51) 国際特許分類: H03H 19/00, H03L 7/093 (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/017064
- (22) 国際出願日: 2004 年 11 月 17 日 (17.11.2004) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-093254 2004 年 3 月 26 日 (26.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI
- (75) 発明者/出願人 (米国についてのみ): 道正 志郎 (DOSHO, Shiro). 徳永 祐介 (TOKUNAGA, Yusuke).

[続葉有]

(54) Title: SWITCHED CAPACITOR FILTER AND FEEDBACK SYSTEM

(54) 発明の名称: スイッチトキャパシタフィルタ及びフィードバックシステム



(57) Abstract: A loop filter (30) comprises: a first capacitive element (31) provided between a current signal input end and a reference voltage; a switched capacitor circuit (32) provided between the input end and the first capacitive element (31); and a second capacitive element (33) provided in parallel to the first capacitive element (31) and the switched capacitor circuit (32). When a third capacitive element (321) is connected to the first capacitive element (31) side in the switched capacitor circuit (32), a fourth capacitive element (322) is connected to the second capacitive element (33) side. In the loop filter (30) of such an arrangement, capacitance of the second capacitive element (33) is set larger than those of the third and fourth capacitive elements (321, 322).

[続葉有]

WO 2005/093952 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: ループフィルタ (30) は、電流信号の入力端と基準電圧との間に設けられた第1の容量素子 (31) と、上記入力端と第1の容量素子 (31) との間に設けられたスイッチトキャパシタ回路 (32) と、第1の容量素子 (31) 及び前記スイッチトキャパシタ回路 (32) に並列に設けられた第2の容量素子 (33) とを備えている。スイッチトキャパシタ回路 (32) において、第3の容量素子 (321) が第1の容量素子 (31) 側に接続されるとき、第4の容量素子 (322) は第2の容量素子 (33) 側に接続される。上記構成のループフィルタ (30) において、第2の容量素子 (33) の容量値を、第3及び第4の容量素子 (321, 322) の容量値よりも大きく設定する。

明 細 書

スイッチトキャパシタフィルタ及びフィードバックシステム

技術分野

- [0001] 本発明は、スイッチトキャパシタフィルタに関し、特に、位相同期回路や遅延ロックループ回路などのフィードバックシステムにおけるループフィルタとして好適なスイッチトキャパシタフィルタの技術に関する。

背景技術

- [0002] 今日、システムLSIに搭載される機能はますます増えつつあり、システムLSIの回路規模は増大する傾向にある。このため、システムLSIの回路規模縮小は普遍的な問題となっている。
- [0003] システムLSIには必ずと言ってよいほど位相同期回路(以下、「PLL」と称する)が搭載されている。PLLには、応答時間の最大値を入力クロックの周波数のおよそ10分の1以上に大きくすることができないという制約がある。このため、PLLを構成するループフィルタのCR積を比較的大きく設定する必要がある。比較的大きなCR積を実現するためには、ループフィルタを構成する容量素子の容量値を大きく設定するのが一般的である。したがって、PLLの構成要素の中でもループフィルタはPLLの回路面積の大部分を占めることとなる。そして、PLLにおいて入力クロックの周波数が低くなればなるほど応答時間は長くなるため、ループフィルタを構成する容量素子の容量値をさらに大きく設定する必要がある。その結果、PLLの回路規模はますます大きくなってしまう。このような問題を解決するためにも、ループフィルタの回路規模縮小が求められるところである。
- [0004] PLLに用いられるループフィルタの回路規模を縮小する技術として、本願筆頭発明者らによる特願2003-185573号明細書に開示された技術が挙げられる。図16は、同明細書に開示された発明(以下、「先願発明」と称する)に係るループフィルタの回路構成を示す。当該ループフィルタは、入力端IN1に接続された容量素子310(容量値C)と、入力端IN2に接続された抵抗素子320(抵抗値R)及び容量素子330(容量値C₃)と、容量素子310と抵抗素子320との間に設けられた電圧バッファ回路

350とを備えている。入力端IN1及びIN2には、それぞれ、2系統のチャージポンプ回路から充放電電流(チャージ電流)Ip1及びIp2が与えられる。そして、当該ループフィルタは、抵抗素子320及び容量素子330の接続箇所に生じる電圧Voutを出力する。当該ループフィルタにおいて、抵抗素子320に与える電流に対して容量素子310に与える電流を小さく設定することによって、抵抗素子320の抵抗値を増大させることなく容量素子310の容量値のみを低減して、従来のループフィルタと同等のCR積、すなわち、従来と同等のフィルタ特性が実現される。また、容量素子310及び330のそれぞれには十分な電圧が印加されるため、これら容量素子をMOS容量で実現可能となる。これらにより、容量素子310及び330が小型化され、ループフィルタ全体としての回路規模が縮小される。

[0005] 当該ループフィルタにおいては、抵抗素子320に十分な大きさの電圧が生じるようにする必要がある。このため、抵抗素子320に流れる電流値を比較的大きく設定するか、又は、抵抗素子320の抵抗値を比較的大きく設定する必要がある。しかし、いずれの場合も、抵抗素子320による消費電力が比較的大きくなってしまいうため好ましくない。特に、抵抗素子320はノイズ発生の原因となるため、その抵抗値を大きくすることは避けることが好ましい。

[0006] 一方、ループフィルタにおける抵抗素子に起因するノイズを低減するために、抵抗素子に代えてスイッチトキャパシタ回路を備えたループフィルタが公知となっている(例えば、特許文献1参照)。図17は、スイッチトキャパシタ回路を備えた従来のループフィルタの回路構成を示す。当該ループフィルタは、入力端INに接続された容量素子310(容量値C)及び330(容量値C₃)と、容量素子310に接続されたスイッチトキャパシタ回路320Aとを備え、容量素子310及び330の接続箇所に生じる電圧Voutを出力する。スイッチトキャパシタ回路320Aは、容量素子340(容量値C_R)と、容量素子340の接続先を切り替えるスイッチQ1及びQ2とを備えている。スイッチトキャパシタ回路320Aは、実質的に抵抗値Rを呈する。このような構成によって、ループフィルタから抵抗素子を省略して、抵抗素子に起因するノイズが低減される。

特許文献1: 米国特許第6420917号明細書(第6-7頁、第4図)

発明の開示

発明が解決しようとする課題

- [0007] 上述したように、先願発明に係るループフィルタについては、回路規模が縮小される反面、消費電力が比較的大きいという問題がある。また、容量素子310をMOS容量で実現するには、電圧バッファ回路350が必要となる。しかし、電圧バッファ回路350もまたノイズ発生の原因となる。このため、電圧バッファ回路350を省略することが好ましい。
- [0008] 一方、スイッチトキャパシタ回路を備えた従来のループフィルタについては、抵抗素子及び電圧バッファ回路を備えていないため、これらに起因するノイズはあまり問題とはならない。しかし、容量素子310は従来と同様に比較的大きいままであり、回路規模の縮小は困難である。また、スイッチQ1がオンとなるとき、容量素子340は容量素子310と直列に接続されるため、容量素子340に十分な電圧を印加することが困難である。したがって、容量素子340をMOS容量で実現することは困難である。MOS容量を構成するMOSTランジスタには、当該MOSTランジスタの閾値以上の電圧が印加される必要があるからである。
- [0009] 上記問題に鑑み、本発明は、スイッチトキャパシタ回路を備えたスイッチトキャパシタフィルタの回路規模の縮小を課題とする。特に、電圧バッファ回路を設けることなく、すべての容量素子をMOS容量で実現したスイッチトキャパシタフィルタの提供を課題とする。

課題を解決するための手段

- [0010] 上記課題を解決するために本発明が講じた手段は、電流信号を入力し、電圧信号を出力するスイッチトキャパシタフィルタであって、前記電流信号の入力端と基準電圧との間に設けられた第1の容量素子と、前記入力端と前記第1の容量素子との間に設けられたスイッチトキャパシタ回路と、前記第1の容量素子及び前記スイッチトキャパシタ回路に並列に設けられた第2の容量素子とを備えたものとする。
- [0011] これによると、スイッチトキャパシタ回路が抵抗素子として機能することにより、当該スイッチトキャパシタフィルタは2次の受動型ローパスフィルタとして動作する。通常、スイッチトキャパシタ回路は一また複数の容量素子で構成される。したがって、当該スイッチトキャパシタフィルタはすべて容量素子で構成されることとなる。ここで、スイッチト

キャパシタ回路は入力端と第1の容量素子との間に設けられているため、当該スイッチトキャパシタ回路における容量素子が入力端側に接続される場合、当該容量素子には十分な大きさの電圧が印加される。したがって、当該容量素子の静電容量を小型化することができる。その結果、当該スイッチトキャパシタフィルタ全体としての回路規模が縮小される。

[0012] 具体的には、前記スイッチトキャパシタ回路は、第1及び第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第3及び第4の容量素子と、前記第3及び第4の容量素子のそれぞれの他端と前記第1及び第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものとする。また、前記スイッチ部は、前記第3の容量素子の他端を前記第1の端子に接続するとき、前記第4の容量素子の他端を前記第2の端子に接続する一方、前記第3の容量素子の他端を前記第2の端子に接続するとき、前記第4の容量素子の他端を前記第1の端子に接続するものとする。そして、前記第2の容量素子の静電容量は、前記第3及び第4の容量素子のそれぞれの静電容量よりも大きいものとする。

[0013] このように、第2の容量素子の静電容量を、スイッチトキャパシタ回路における第3及び第4の容量素子の静電容量よりも大きく設定することによって、当該スイッチトキャパシタフィルタは、一般的な2次受動型ローパスフィルタと同等のフィルタ特性を有するようになる。

[0014] 好ましくは、前記第1から第4の容量素子は、いずれもMOS容量であるとする。

[0015] また、具体的には、前記スイッチトキャパシタ回路は、前記第1の容量素子の側に設けられた第1の端子と、前記入力端の側に設けられた第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、前記複数の容量素子のそれぞれの他端と前記第1及び第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものとする。また、前記スイッチ部は、前記複数の容量素子のいずれか一つの他端と前記第2の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第1の端子に接続するとき、他方の他端を前記第2の端子に接続するものとする。

- [0016] 好ましくは、前記第1及び第2の容量素子並びに前記複数の容量素子は、いずれもMOS容量であるとする。
- [0017] また、本発明が講じた手段は、入力クロックに基づいて生成した出力クロックを帰還させ、当該出力クロックを所定の特性にするフィードバックシステムであって、前記クロックと帰還されたクロックとの位相差に基づいて、チャージ電流を生成するチャージポンプ回路と、前記チャージ電流を入力とするループフィルタと、前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する出力クロック生成回路とを備え、前記ループフィルタは、前記チャージ電流の入力端と基準電圧との間に設けられた第1の容量素子と、前記入力端と前記第1の容量素子との間に設けられたスイッチトキャパシタ回路と、前記第1の容量素子及び前記スイッチトキャパシタ回路に並列に設けられた第2の容量素子とを有するものとする。
- [0018] これによると、スイッチトキャパシタ回路が抵抗素子として機能することにより、当該ループフィルタは2次の受動型ローパスフィルタとして動作する。通常、スイッチトキャパシタ回路は一また複数の容量素子で構成される。したがって、当該スイッチトキャパシタフィルタはすべて容量素子で構成されることとなる。ここで、スイッチトキャパシタ回路はチャージ電流の入力端と第1の容量素子との間に設けられているため、当該スイッチトキャパシタ回路における容量素子が入力端側に接続される場合、当該容量素子には十分な大きさの電圧が印加される。したがって、当該容量素子の静電容量を小型化することができる。その結果、当該ループフィルタ全体としての、さらには、フィードバックシステム全体としての回路規模が縮小される。
- [0019] 具体的には、前記スイッチトキャパシタ回路は、第1及び第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第3及び第4の容量素子と、前記第3及び第4の容量素子のそれぞれの他端と前記第1及び第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものとする。また、前記スイッチ部は、前記第3の容量素子の他端を前記第1の端子に接続するとき、前記第4の容量素子の他端を前記第2の端子に接続する一方、前記第3の容量素子の他端を前記第2の端子に接続するとき、前記第4の容量素子の他端を前記第1の端子に接続するものとする。そして、前記第2の容量素子の静電容量は、前記第3及び第4

の容量素子のそれぞれの静電容量よりも大きいものとする。

[0020] さらに具体的には、上記フィードバックシステムは、前記入力クロックの立ち下がり変化に基づいて、互いに逆相の関係にある第1及び第2の制御クロック、並びに当該第1及び第2の制御クロックのそれぞれの反転に相当する第3及び第4の制御クロックを生成する制御クロック生成回路を備えたものとする。そして、前記スイッチ部は、前記第1の制御クロックに応じて、前記第3の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、前記第2の制御クロックに応じて、前記第4の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、前記第3の制御クロックに応じて、前記第3の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチと、前記第4の制御クロックに応じて、前記第4の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチとを有するものとする。

[0021] このように、第2の容量素子の静電容量を、スイッチトキャパシタ回路における第3及び第4の容量素子の静電容量よりも大きく設定することによって、当該ループフィルタは、一般的な2次受動型ローパスフィルタと同等のフィルタ特性を有するようになる。

[0022] 好ましくは、前記第1から第4の容量素子は、いずれもMOS容量であるとする。

[0023] また、具体的には、前記スイッチトキャパシタ回路は、前記第1の容量素子の側に設けられた第1の端子と、前記入力端の側に設けられた第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、前記複数の容量素子のそれぞれの他端と前記第1及び第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものとする。そして、前記スイッチ部は、前記複数の容量素子のいずれか一つの他端と前記第2の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第1の端子に接続するとき、他方の他端を前記第2の端子に接続するものとする。

[0024] さらに具体的には、上記フィードバックシステムは、前記入力クロックの立ち下がり変化に基づいて、前記複数の容量素子の個数に相当する互いに相が異なる複数の制御クロック、及び当該複数の制御クロックのそれぞれの反転に相当する複数の反転制御クロックを生成する制御クロック生成回路を備えたものとする。そして、前記スイ

チ部は、前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する前記制御クロックに応じて、当該容量素子の他端と前記第1の端子との接続の有無を切り替える複数のスイッチと、前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する前記反転制御クロックに応じて、当該容量素子の他端と前記第2の端子との接続の有無を切り替える複数のスイッチとを有するものとする。

[0025] 好ましくは、前記第1及び第2の容量素子並びに前記複数の容量素子は、いずれもMOS容量であるとする。

発明の効果

[0026] 以上説明したように、本発明によると、従来と同等のフィルタ特性を有しつつ、回路規模がより縮小されたスイッチトキャパシタフィルタが得られる。また、当該スイッチトキャパシタフィルタは、抵抗素子及び電圧バッファ回路を含まず、すべて容量素子で構成されるため、入力電流を小さくすることで当該容量素子がすべて小型化され、回路全体としての規模が小型化される。さらに、当該スイッチトキャパシタをフィードバックシステムのループフィルタとして用いる場合、当該ループフィルタの入力電流であるチャージ電流を小さくすることによって、チャージポンプ回路を小型化することができる。結果として、フィードバックシステム全体としての回路規模が大幅に縮小される。

図面の簡単な説明

[0027] [図1]図1は、本発明の第1の実施形態に係る位相同期回路の構成図である。

[図2]図2は、図1に示した位相同期回路における制御クロック生成回路の回路構成図である。

[図3]図3は、図2に示した制御クロック生成回路のタイミングチャートである。

[図4]図4は、図1に示した位相同期回路におけるループフィルタの回路構成図である。

[図5]図5は、先願発明に係るループフィルタにおける抵抗素子を単純にスイッチトキャパシタ回路に置き換えたループフィルタの回路構成図である。

[図6]図6は、図5に示したループフィルタにおけるスイッチトキャパシタ回路を3相クロック制御に変更したループフィルタの回路構成図である。

[図7]図7は、図6に示したループフィルタにおけるスイッチトキャパシタ回路を2相クロック制御に変更したループフィルタの回路構成図である。

[図8]図8は、図7に示したループフィルタにおける電圧バッファ回路を省略したループフィルタの回路構成図である。

[図9]図9は、図8に示したループフィルタを1系統のチャージ電流入力に変更したループフィルタの回路構成図である。

[図10]図10は、位相比較器からのリセットパルスに基づいて各制御クロックを生成する制御クロック生成回路の回路構成図である。

[図11]図11は、図10に示した制御クロック生成回路のタイミングチャートである。

[図12]図12は、本発明の第2の実施形態に係る位相同期回路の構成図である。

[図13]図13は、図12に示した位相同期回路における制御クロック生成回路の回路構成図である。

[図14]図14は、図13に示した制御クロック生成回路のタイミングチャートである。

[図15]図15は、図12に示した位相同期回路におけるループフィルタの回路構成図である。

[図16]図16は、本願筆頭発明者らによる先願発明に係るループフィルタの回路構成図である。

[図17]図17は、スイッチトキャパシタ回路を備えた従来のループフィルタの回路構成図である。

符号の説明

- [0028] 31 MOS容量(第1の容量素子)
32, 32A スwitchトキャパシタ回路
33 MOS容量(第2の容量素子)
321 MOS容量(第3の容量素子、複数の容量素子のうちの一つ)
322 MOS容量(第4の容量素子、複数の容量素子のうちの一つ)
323 MOS容量(複数の容量素子のうちの一つ)
324, 324A スイッチ部
20 チャージポンプ回路

30, 30A ループフィルタ

40 電圧制御発振器(出力クロック生成回路)

60, 60', 60A 制御クロック生成回路

T1 端子(第1の端子)

T2 端子(第2の端子)

SW11, SW12, SW21, SW22, SW31, SW32 スイッチ

$\phi 1$ 制御クロック(第1の制御クロック、複数の制御クロックのうちの一つ)

$\phi 2$ 制御クロック(第2の制御クロック、複数の制御クロックのうちの一つ)

$\phi 3$ 制御クロック(複数の制御クロックのうちの一つ)

／ $\phi 1$ 制御クロック(第3の制御クロック、複数の反転制御クロックのうちの一つ)

／ $\phi 2$ 制御クロック(第4の制御クロック、複数の反転制御クロックのうちの一つ)

／ $\phi 3$ 制御クロック(複数の反転制御クロックのうちの一つ)

CKin 入力クロック

CKout 出力クロック

発明を実施するための最良の形態

[0029] 以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

[0030] (第1の実施形態)

図1は、本発明の第1の実施形態に係るPLLの構成を示す。本実施形態に係るPLLは、位相比較器10と、チャージポンプ回路20と、ループフィルタ(LPF)30と、出力クロック生成回路としての電圧制御発振器(VCO)40と、分周器50と、制御クロック生成回路60とを備えている。位相比較器10は、PLLに与えられる入力クロックCKinと帰還クロックCKdivとの位相を比較し、この位相差に応じたアップ信号UP及びダウン信号DNを出力する。チャージポンプ回路20は、アップ信号UP及びダウン信号DNに基づいて、チャージ電流Ipを出力(吐き出し又は吸い込み)する。電圧制御発振器40は、ループフィルタ30から出力された電圧Voutに基づいて、PLLの出力クロックCKoutの周波数を変化させる。分周器50は、出力クロックCKoutをN(Nは自然数)分周し、帰還クロックCKdivとして位相比較器10にフィードバックする。以上の動作を

繰り返すうちに、出力クロックCKoutは次第に所定の周波数に収束し、ロックされる。以下、ループフィルタ30及び制御クロック生成回路60の構成及び動作について詳細に説明する。

- [0031] 制御クロック生成回路60は、入力クロックCKinに基づいて制御クロック $\phi 1$ 、 $\phi 1$ の反転 $\phi 1$ 、 $\phi 2$ 及び $\phi 2$ の反転 $\phi 2$ を生成し、ループフィルタ30にこれら制御クロックを出力する。図2は、制御クロック生成回路60の回路構成を示す。また、図3は、制御クロック生成回路60のタイミングチャートである。インバータ61は、入力クロックCKinを反転し、クロック $\phi 1$ を出力する。Dフリップフロップ62は、クロック $\phi 1$ の立ち上がり変化に同期して極性が反転するクロックCKorg及びその反転であるクロック $\phi 1$ の反転 $\phi 1$ を出力する。インバータ631及びNANDゲート641及び651からなる回路部分は、クロック $\phi 1$ に基づいて制御クロック $\phi 1$ 及びその反転である制御クロック $\phi 1$ の反転 $\phi 1$ を生成する。インバータ632及びNANDゲート642及び652からなる回路部分は、クロックCKorgに基づいて制御クロック $\phi 2$ 及びその反転である制御クロック $\phi 2$ の反転 $\phi 2$ を生成する。すなわち、制御クロック生成回路60は、入力クロックCKinの立ち下がり変化に応じて極性が反転する制御クロック $\phi 1$ 、 $\phi 1$ の反転 $\phi 1$ 、 $\phi 2$ 及び $\phi 2$ の反転 $\phi 2$ を出力する。
- [0032] ループフィルタ30は、チャージ電流Ipを受け、当該チャージ電流Ipに起因して生じた電圧を平滑化し、電圧Voutとして出力する。図4は、ループフィルタ30の回路構成を示す。ループフィルタ30は、MOS容量31と、スイッチトキャパシタ回路32と、MOS容量33とを備えている。MOS容量31の一端は基準電圧としてのグラウンドに接続され、他端はスイッチトキャパシタ回路32の端子T1に接続されている。MOS容量33の一端は基準電圧としてのグラウンドに接続され、他端はチャージ電流Ipの入力端及びスイッチトキャパシタ回路32の端子T2に接続されている。ループフィルタ30は、スイッチトキャパシタ回路32とMOS容量33との接続箇所に生じた電圧Voutを出力する。
- [0033] スwitchトキャパシタ回路32は、MOS容量321及び322と、MOS容量321及び322のそれぞれと端子T1及びT2のそれぞれとの接続形態を切り替えるスイッチ部324とを備えた、いわゆるP. S. 型(Parasitic Sensitive:寄生容量有感型)と呼ばれるものである。スイッチ部324は、制御クロック $\phi 1$ に応じてMOS容量321と端子T1との

接続の有無を切り替えるスイッチSW11と、制御クロック $\phi 1$ に応じてMOS容量321と端子T2との接続の有無を切り替えるスイッチSW12と、制御クロック $\phi 2$ に応じてMOS容量322と端子T1との接続の有無を切り替えるスイッチSW21と、制御クロック $\phi 2$ に応じてMOS容量322と端子T2との接続の有無を切り替えるスイッチSW22とを備えている。なお、制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ 及び $\phi 2$ は、制御クロック生成回路60から与えられる。

[0034] MOS容量31の容量値は C である。これは、先願発明に係るループフィルタ(図16参照)における容量素子310と同等の容量値である。MOS容量321及び322の容量値はいずれも C_R である。また、スイッチトキャパシタ回路32が呈する抵抗値は R である。これは、先願発明に係るループフィルタにおける抵抗素子320と同等の抵抗値である。ここで、スイッチトキャパシタ回路32における各スイッチSW11、SW12、SW21及びSW22の動作周波数を f_{clk} とすると、 $R = 1 / (f_{clk} C_R)$ という関係式が成り立つ。すなわち、スイッチトキャパシタ回路32が呈する抵抗値をより大きくするには、MOS容量321及び322の容量値をより小さくすればよい。ループフィルタ30に与えられるチャージ電流 I_p を小さくする場合、スイッチトキャパシタ回路32が呈する抵抗値を大きくしなければならないことは既に説明した通りであるが、当該抵抗値を大きくするには、MOS容量321及び322を小さくすればよい。すなわち、チャージ電流 I_p を小さくすることで、MOS容量321及び322の小型化が可能となる。また、チャージ電流 I_p が小さくなることによって、MOS容量31及び33もまた小型化される。結果として、ループフィルタ30全体としての回路規模が小さくなる。

[0035] 一方、MOS容量33の容量値は C_x である。これは、各MOS容量321及び322の容量値 C_R と先願発明に係るループフィルタにおける容量素子330の容量値 C_3 との合計に相当する。なお、容量値 C_3 については、大きくともMOS容量31の容量値 C の $1/5 \sim 1/6$ 程度にすると最も安定した応答が得られる。この詳細については、例えば、文献:F.M.GARDNER, "CHARGE-PUMP PHASE-LOCKED LOOPS", IEEE TRANS., VOL. COM-28, PP.1849-1858, NOV.1980に記載されている。

[0036] ところで、図1に示したPLLにおける位相比較記10から出力される信号のうち例えば信号UPは、入力クロックCKinの位相が出力クロックCKoutの位相よりも進んでい

る場合、入力クロックCKinが立ち上がり変化をしてから出力クロックCKoutが立ち上がり変化をするまでの間、所定の論理レベル、例えば“H”となる(図3参照)。信号UPが“H”となっている間、チャージポンプ回路20からループフィルタ30にチャージ電流Ipが出力される。チャージ電流Ipを受けている間は、スイッチ部324の動作状態は変化してはならない。もし変化してしまうと、スイッチトキャパシタ回路32におけるMOS容量321及び322への電荷の充放電が途切れてしまい、ループフィルタ30が正常に動作しなくなるおそれがあるからである。本実施形態に係る制御クロック生成回路60によって生成される制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ 及び $\phi 2$ は、入力クロックCKinの立ち下がり変化から次の立ち下がり変化までの間、極性が反転することはないため、MOS容量321及び322への電荷の充放電が途切れてしまうことはない。信号UP及びDNの出力は、いずれも、入力クロックCKinの連続する立ち下がり変化の間に必ず終了するからである。したがって、制御クロック生成回路60によって生成された各制御クロックに基づいてスイッチトキャパシタ回路32の動作を制御することにより、ループフィルタ30の正常動作が保証される。

- [0037] 次に、ループフィルタ30が一般的な能動型2次ループフィルタと同等のフィルタ特性を有することを、先願発明に係るループフィルタの回路構成を変換してループフィルタ30を得るまでの過程を示しながら説明する。図5は、先願発明に係るループフィルタにおける抵抗素子を単純にスイッチトキャパシタ回路に置き換えたループフィルタの回路構成を示す。先願発明に係るループフィルタにおける抵抗素子を単純に2相クロック制御のスイッチトキャパシタ回路32に置き換えただけの当該ループフィルタは正常に動作しない。これは次の理由による。すなわち、チャージ電流Ip2の入力側に接続されたMOS容量321及び322のいずれか一方について、チャージ電流Ipによる充放電が終了した後、制御クロック $\phi 1$ 及び $\phi 2$ の極性が反転し、当該MOS容量は電圧バッファ回路35の側に接続される。当該接続がされると、当該MOS容量は電圧バッファ回路35の出力端の電位にリセットされてしまう。この結果、スイッチトキャパシタ回路32が正常に動作しなくなり、ループフィルタ30が誤動作を起こしてしまうおそれがあるからである。なお、以下、チャージ電流Ip1及びIp2の大きさは等しいものとして説明する。

- [0038] 上記の問題を解決するためには、制御クロック $\phi 1$ 又は $\phi 2$ の少なくとも1クロックの期間、チャージ電流 I_p によって充放電された電荷を保持する必要がある。そのために、スイッチトキャパシタ回路を3相クロック制御にすることを考える。図6は、図5に示したループフィルタにおけるスイッチトキャパシタ回路を3相クロック制御に変更したループフィルタの回路構成を示す。当該スイッチトキャパシタ回路32Aにおいて、容量素子321、322及び323のうちMOS容量33に接続されたいずれか一つは、他の二つの接続状態が切り替わるときでも、MOS容量33との接続状態を維持する。これにより、当該容量素子がバッファ電位にリセットされることはなくなり、スイッチトキャパシタ回路32Aの正常動作が保証される。なお、当該ループフィルタについては後ほど詳細に説明する。
- [0039] スwitchトキャパシタ回路32Aにおいて、容量素子321、322及び323のいずれか二つの接続状態が切り替わるとき、残りの一つとMOS容量33との接続状態が維持されるということは、すなわち、MOS容量33と容量値 C_R の容量素子とが恒常的に並列接続された状態にあることに等しい。したがって、MOS容量33の容量値をスイッチトキャパシタ回路32Aにおける各容量素子321、322及び323の容量値 C_R だけ増やすことによって、3相クロック制御のスイッチトキャパシタ回路32Aに代えて2相クロック制御のスイッチトキャパシタ回路を用いることができる。すなわち、図5に示したスイッチトキャパシタ回路32に変更することができる。図7は、図6に示したループフィルタにおけるスイッチトキャパシタ回路を2相クロック制御に変更したループフィルタの回路構成を示す。当該ループフィルタと図5に示したループフィルタとの異なる点は、図5に示したループフィルタにおけるMOS容量33の容量値が C_3 であるのに対して、当該ループフィルタにおけるMOS容量33の容量値は $C_3 + C_R$ である点である。
- [0040] 一般に、電圧バッファ回路は電源に接続されているため、当該電源を介してループフィルタにノイズが伝わるおそれがある。また、電圧バッファ回路は、それ自体が電力を消費する。このため、電圧バッファ回路35は省略するのが望ましい。そこで、図7に示したループフィルタから電圧バッファ回路35を取り除くことを考える。図8は、図7に示したループフィルタにおける電圧バッファ回路を省略したループフィルタの回路構成を示す。図7に示したループフィルタから電圧バッファ回路35を取り除く場合、MO

S容量31はチャージ電流 I_{p1} 及び I_{p2} の合成電流によって充放電されるため、充放電のスピードが2倍になってしまう。したがって、MOS容量31の容量値を2倍、すなわち、 $2C$ にして、電圧バッファ回路35が設けられている場合と同等の充放電スピードとなるようにする。

[0041] さらに、チャージ電流入力をも1系統にすることを考える。図9は、図8に示したループフィルタを1系統のチャージ電流入力に変更したループフィルタの回路構成を示す。図8に示したループフィルタにおいて、MOS容量31は、チャージ電流 I_{p1} 及び I_{p2} の合成電流によって充放電が行われるため、チャージ電流入力をも1系統にするには、当該チャージ電流の電流値を当該合成電流に相当する電流値(ここでは、チャージ電流 I_{p2} の2倍に相当する $2I_{p2}$)にすればよい。これに伴い、スイッチトキャパシタ回路32における各容量素子321及び322の容量値並びにMOS容量33の容量値もそれぞれ2倍にする。

[0042] 図9に示したループフィルタは、図4に示した本実施形態に係るループフィルタ30における各容量素子の容量値及びチャージ電流値をそれぞれ2倍にした回路構成となっており、ループフィルタ30と実質的に同等の回路構成となっている。すなわち、本実施形態に係るループフィルタ30は、先願発明に係るループフィルタの回路構成を変換して得られるものであり、一般的な能動型2次ループフィルタと同等のフィルタ特性を有する。

[0043] 以上、本実施形態によると、ループフィルタが、抵抗素子及び電圧バッファ回路を用いることなくすべてMOS容量で構成されるため、ノイズの低減及び消費電力の削減を図りながら、回路規模が縮小化される。また、チャージ電流 I_p を比較的小さく設定することによって、チャージポンプ回路20の回路規模が縮小化される。結果として、PLL全体としての回路規模が大幅に縮小化される。

[0044] なお、制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ 及び $\phi 2$ は、位相比較器10におけるリセットパルスに基づいて生成するようにしてもよい。図10は、位相比較器10からのリセットパルスRSTに基づいて各制御クロックを生成する制御クロック生成回路60'の回路構成を示す。また、図11は、制御クロック生成回路60'のタイミングチャートである。リセットパルスRSTは、Dフリップフロップ11及び12及びNANDゲート13からなる位

相比較器10におけるNANDゲート13から出力される。すなわち、リセットパルスRSTは、信号UP又はDNが出力された後に出力される、ごく短いオンデューティのパルスである。制御クロック生成回路60'は、入力クロックCKinの反転に代えてリセットパルスRSTを入力し、これに基づいて制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ 及び $\phi 2$ を生成し、出力する。上述したように、リセットパルスRSTは、信号UP又はDNが出力された後に出力されるパルスであるため、信号UP又はDNの出力の最中に各制御クロックの極性が反転することはない。しかし、リセットパルスRSTのパルス幅はごく短いため、Dフリップフロップ62がリセットパルスRSTの入力に反応しなくなるおそれがある。この場合、ループフィルタ30におけるスイッチトキャパシタ回路32は正常に動作しない。したがって、制御クロック生成回路60'よりも制御クロック生成回路60を用いる方が好ましい。

[0045] (第2の実施形態)

図12は、本発明の第2の実施形態に係るPLLの構成を示す。本実施形態に係るPLLは、位相比較器10と、チャージポンプ回路20と、ループフィルタ30Aと、電圧制御発振器40と、分周器50と、制御クロック生成回路60Aとを備えている。このうち、位相比較器10、チャージポンプ回路20、電圧制御発振器40及び分周器50については、第1の実施形態で説明したとおりであるため、ここでの説明は省略する。以下、ループフィルタ30A及び制御クロック生成回路60Aの構成及び動作について詳細に説明する。

[0046] 制御クロック生成回路60Aは、入力クロックCKinに基づいて制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ 、 $\phi 2$ 、 $\phi 3$ 及び $\phi 3$ を生成し、ループフィルタ30Aにこれら制御クロックを出力する。図13は、制御クロック生成回路60Aの回路構成を示す。また、図14は、制御クロック生成回路60Aのタイミングチャートである。インバータ61は、入力クロックCKinを反転し、クロック $\phi 1$ を出力する。Dフリップフロップ621、622、623及び624は、クロック $\phi 1$ の立ち上がり変化に同期して動作する。Dフリップフロップ612及び622の出力は、それぞれ、NORゲート66の入力となる。NORゲート66の出力は、Dフリップフロップ621のデータ入力である。インバータ631及びNANDゲート641及び651からなる回路部分は、Dフリップフロップ622からの反転出力に基づい

て制御クロック $\phi 1$ 及びその反転である制御クロック(反転制御クロック) $\neg \phi 1$ を生成する。インバータ632及びNANDゲート642及び652からなる回路部分は、Dフリップフロップ623からの反転出力に基づいて制御クロック $\phi 2$ 及びその反転である制御クロック(反転制御クロック) $\neg \phi 2$ を生成する。そして、インバータ633及びNANDゲート643及び653からなる回路部分は、Dフリップフロップ624からの反転出力に基づいて制御クロック $\phi 3$ 及びその反転である制御クロック(反転制御クロック) $\neg \phi 3$ を生成する。上記構成の制御クロック生成回路60Aから出力される制御クロック $\phi 1$ 、 $\phi 2$ 及び $\phi 3$ の相は互いに異なっている。すなわち、制御クロック生成回路60Aは、入力クロックCKinに基づいて3相の制御クロックを生成する。

[0047] 図15は、ループフィルタ30Aの回路構成を示す。ループフィルタ30Aは、図6に示したループフィルタから電圧バッファ回路35を省略し、さらに、チャージ電流入力を1系統に変更したものに他ならない。

[0048] スイッチトキャパシタ回路32Aは、MOS容量321、322及び323と、これらMOS容量321〜323のそれぞれと端子T1及びT2のそれぞれとの接続形態を切り替えるスイッチ部324Aとを備えている。スイッチ部324Aは、制御クロック $\phi 1$ に応じてMOS容量321と端子T1との接続の有無を切り替えるスイッチSW11と、制御クロック $\neg \phi 1$ に応じてMOS容量321と端子T2との接続の有無を切り替えるスイッチSW12と、制御クロック $\phi 2$ に応じてMOS容量322と端子T1との接続の有無を切り替えるスイッチSW21と、制御クロック $\neg \phi 2$ に応じてMOS容量322と端子T2との接続の有無を切り替えるスイッチSW22と、制御クロック $\phi 3$ に応じてMOS容量323と端子T1との接続の有無を切り替えるスイッチSW31と、制御クロック $\neg \phi 3$ に応じてMOS容量323と端子T2との接続の有無を切り替えるスイッチSW32とを備えている。

[0049] スイッチトキャパシタ回路32AにおけるMOS容量321〜323のいずれか二つについて接続先が切り替わる時、残りの一つはMOS容量33に接続されたままである。例えば、制御クロック $\phi 1$ 、 $\neg \phi 1$ 、 $\phi 2$ 及び $\neg \phi 2$ のそれぞれの極性が反転するとき、制御クロック $\neg \phi 3$ の論理レベルは“H”のままである(図14参照)。すなわち、MOS容量321及び322の接続先が切り替わる時、MOS容量323は引き続きMOS容量33に並列に接続された状態である。したがって、MOS容量323に充放電された電

荷がリセットされることはなく、スイッチトキャパシタ回路32Aの正常動作が保証される。

[0050] 以上、本実施形態によると、ループフィルタが、抵抗素子及び電圧バッファ回路を用いることなくすべてMOS容量で構成されるため、ノイズの低減及び消費電力の削減を図りながら、回路規模が縮小化される。また、チャージ電流 I_p を比較的小さく設定することによって、チャージポンプ回路20の回路規模が縮小化される。結果として、PLL全体としての回路規模が大幅に縮小化される。

[0051] なお、スイッチトキャパシタ回路32Aに代えて、4相以上のクロック制御によるスイッチトキャパシタ回路を設けてもよい。この場合、当該スイッチトキャパシタ回路におけるいずれか一つのMOS容量とMOS容量33との接続を維持しながら、当該スイッチトキャパシタ回路における他のMOS容量の接続先が切り替わるように、これらMOS容量の接続形態を制御すればよい。

[0052] また、図1及び図12のそれぞれに示したPLLにおいて、電圧制御発振器40に代えて出力クロック生成回路としての電圧制御遅延回路(VCD)を設け、分周器50を省略して当該電圧制御遅延回路が出力する出力クロックCKoutを、直接、位相比較器10にフィードバックすることで、遅延ロックループ回路(DLL)が構成される。

産業上の利用可能性

[0053] 本発明に係るスイッチトキャパシタフィルタは、従来のフィルタと同等のフィルタ特性を有しつつ回路規模が小型化されているため、多数のPLLを備えたマイクロプロセッサにおける当該PLLのループフィルタとして、また、回路規模が限定される半導体集積回路、例えば、あまり大きな容量素子を実装することが困難なICカードなどにおけるPLLのループフィルタとして有用である。

請求の範囲

- [1] 電流信号を入力し、電圧信号を出力するスイッチトキャパシタフィルタであって、
前記電流信号の入力端と基準電圧との間に設けられた第1の容量素子と、
前記入力端と前記第1の容量素子との間に設けられたスイッチトキャパシタ回路と、
前記第1の容量素子及び前記スイッチトキャパシタ回路に並列に設けられた第2の
容量素子とを備えた
ことを特徴とするスイッチトキャパシタフィルタ。
- [2] 請求の範囲1に記載のスイッチトキャパシタフィルタにおいて、
前記スイッチトキャパシタ回路は、
第1及び第2の端子と、
一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第3
及び第4の容量素子と、
前記第3及び第4の容量素子のそれぞれの他端と前記第1及び第2の端子のそれ
ぞれとの接続形態を切り替えるスイッチ部とを有するものであり、
前記スイッチ部は、前記第3の容量素子の他端を前記第1の端子に接続するとき、
前記第4の容量素子の他端を前記第2の端子に接続する一方、前記第3の容量素子
の他端を前記第2の端子に接続するとき、前記第4の容量素子の他端を前記第1の
端子に接続するものであり、
前記第2の容量素子の静電容量は、前記第3及び第4の容量素子のそれぞれの静
電容量よりも大きい
ことを特徴とするスイッチトキャパシタフィルタ。
- [3] 請求の範囲2に記載のスイッチトキャパシタフィルタにおいて、
前記第1から第4の容量素子は、いずれもMOS容量である
ことを特徴とするスイッチトキャパシタフィルタ。
- [4] 請求の範囲1に記載のスイッチトキャパシタフィルタにおいて、
前記スイッチトキャパシタ回路は、
前記第1の容量素子の側に設けられた第1の端子と、
前記入力端の側に設けられた第2の端子と、

一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、

前記複数の容量素子のそれぞれの他端と前記第1及び第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものであり、

前記スイッチ部は、前記複数の容量素子のいずれか一つの他端と前記第2の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第1の端子に接続するとき、他方の他端を前記第2の端子に接続することを特徴とするスイッチトキャパシタフィルタ。

[5] 請求の範囲4に記載のスイッチトキャパシタフィルタにおいて、

前記第1及び第2の容量素子並びに前記複数の容量素子は、いずれもMOS容量である

ことを特徴とするスイッチトキャパシタフィルタ。

[6] 入力クロックに基づいて生成した出力クロックを帰還させ、当該出力クロックを所定の特性にするフィードバックシステムであって、

前記クロックと帰還されたクロックとの位相差に基づいて、チャージ電流を生成するチャージポンプ回路と、

前記チャージ電流を入力とするループフィルタと、

前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する出力クロック生成回路とを備え、

前記ループフィルタは、

前記チャージ電流の入力端と基準電圧との間に設けられた第1の容量素子と、

前記入力端と前記第1の容量素子との間に設けられたスイッチトキャパシタ回路と、

前記第1の容量素子及び前記スイッチトキャパシタ回路に並列に設けられた第2の容量素子とを有する

ことを特徴とするフィードバックシステム。

[7] 請求の範囲6に記載のフィードバックシステムにおいて、

前記スイッチトキャパシタ回路は、

第1及び第2の端子と、

一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第3及び第4の容量素子と、

前記第3及び第4の容量素子のそれぞれの他端と前記第1及び第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものであり、

前記スイッチ部は、前記第3の容量素子の他端を前記第1の端子に接続するとき、前記第4の容量素子の他端を前記第2の端子に接続する一方、前記第3の容量素子の他端を前記第2の端子に接続するとき、前記第4の容量素子の他端を前記第1の端子に接続するものであり、

前記第2の容量素子の静電容量は、前記第3及び第4の容量素子のそれぞれの静電容量よりも大きい

ことを特徴とするフィードバックシステム。

[8] 請求の範囲7に記載のフィードバックシステムにおいて、

前記入力クロックの立ち下がり変化に基づいて、互いに逆相の関係にある第1及び第2の制御クロック、並びに当該第1及び第2の制御クロックのそれぞれの反転に相当する第3及び第4の制御クロックを生成する制御クロック生成回路を備え、

前記スイッチ部は、

前記第1の制御クロックに応じて、前記第3の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、

前記第2の制御クロックに応じて、前記第4の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、

前記第3の制御クロックに応じて、前記第3の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチと、

前記第4の制御クロックに応じて、前記第4の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチとを有する

ことを特徴とするフィードバックシステム。

[9] 請求の範囲7に記載のフィードバックシステムにおいて、

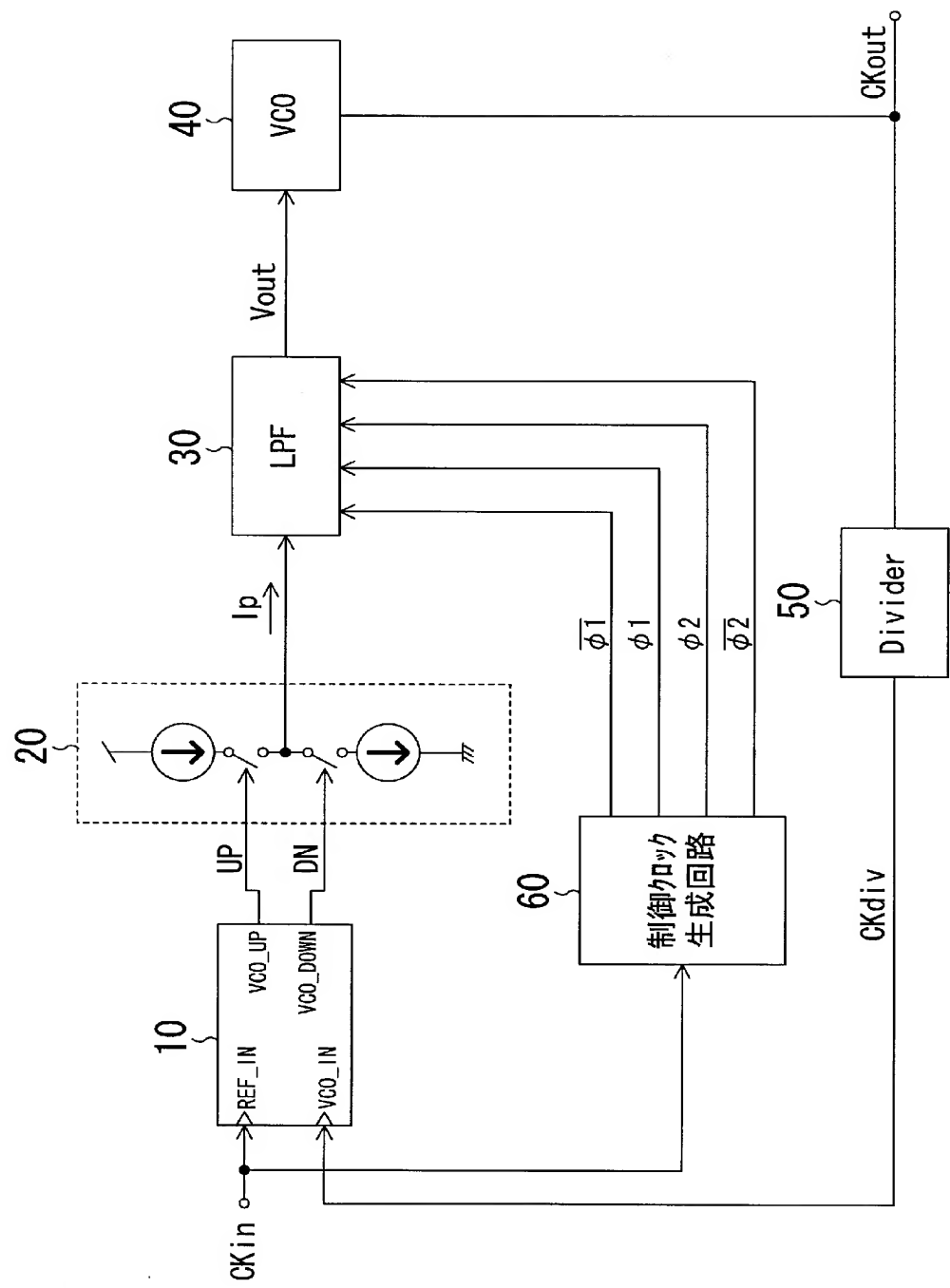
前記第1から第4の容量素子は、いずれもMOS容量である

ことを特徴とするフィードバックシステム。

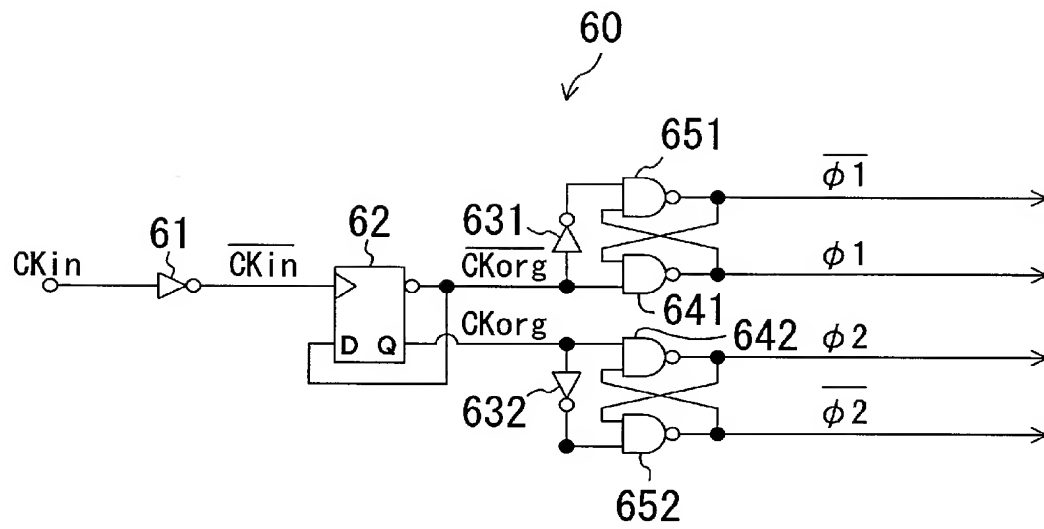
- [10] 請求の範囲6に記載のフィードバックシステムにおいて、
前記スイッチトキャパシタ回路は、
前記第1の容量素子の側に設けられた第1の端子と、
前記入力端の側に設けられた第2の端子と、
一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、
前記複数の容量素子のそれぞれの他端と前記第1及び第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものであり、
前記スイッチ部は、前記複数の容量素子のいずれか一つの他端と前記第2の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第1の端子に接続するとき、他方の他端を前記第2の端子に接続することを特徴とするフィードバックシステム。
- [11] 請求の範囲10に記載のフィードバックシステムにおいて、
前記入力クロックの立ち下がり変化に基づいて、前記複数の容量素子の個数に相当する互いに相が異なる複数の制御クロック、及び当該複数の制御クロックのそれぞれの反転に相当する複数の反転制御クロックを生成する制御クロック生成回路を備え、
前記スイッチ部は、
前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する前記制御クロックに応じて、当該容量素子の他端と前記第1の端子との接続の有無を切り替える複数のスイッチと、
前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する前記反転制御クロックに応じて、当該容量素子の他端と前記第2の端子との接続の有無を切り替える複数のスイッチとを有する
ことを特徴とするフィードバックシステム。
- [12] 請求の範囲10に記載のフィードバックシステムにおいて、
前記第1及び第2の容量素子並びに前記複数の容量素子は、いずれもMOS容量である

ことを特徴とするフィードバックシステム。

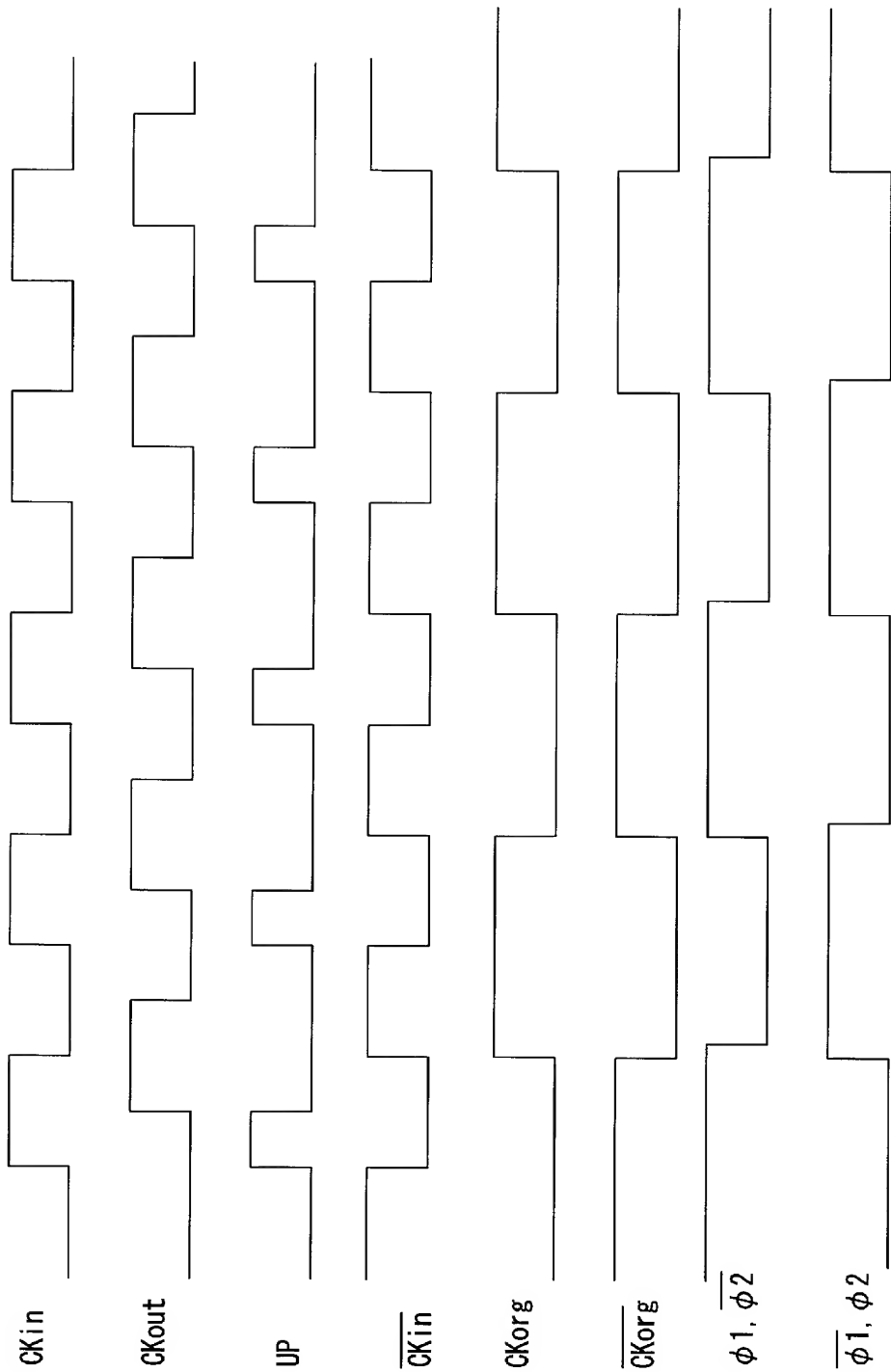
[図1]



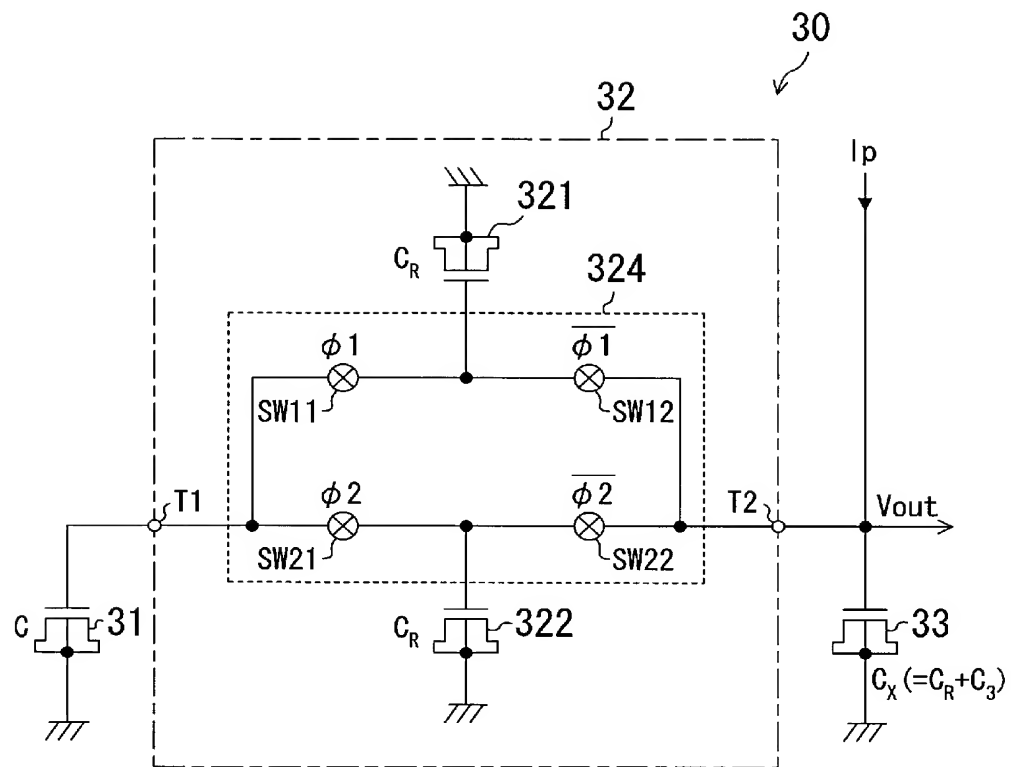
[図2]



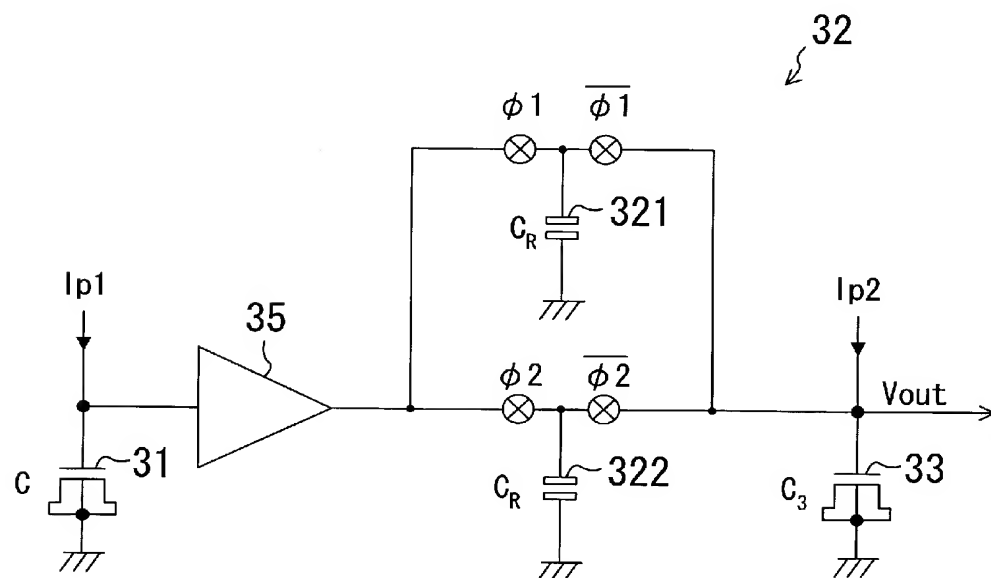
[図3]



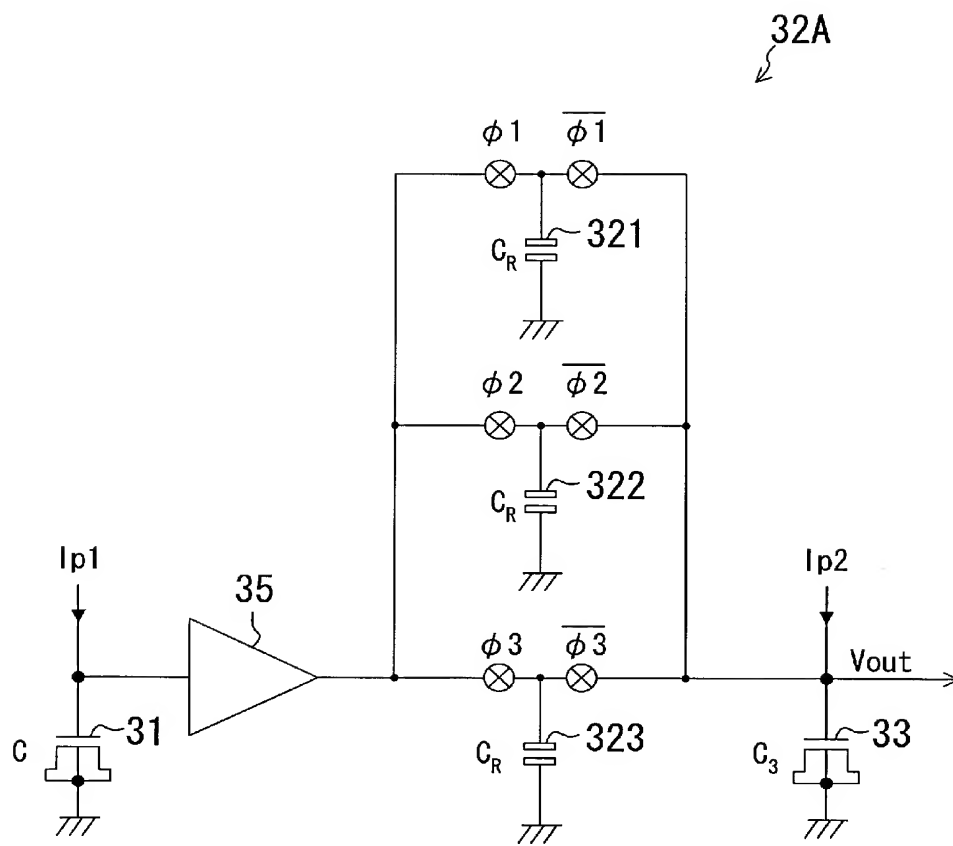
[図4]



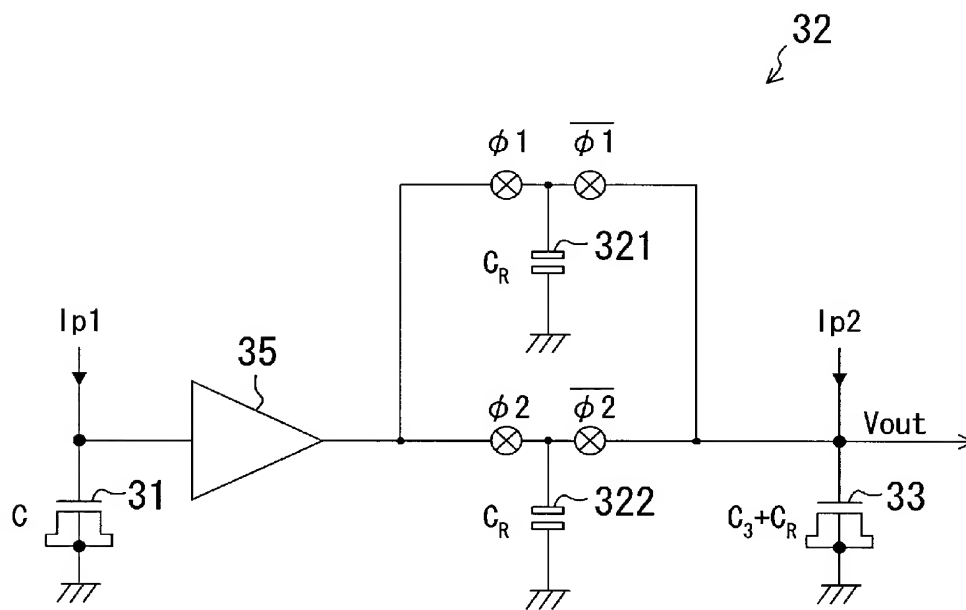
[図5]



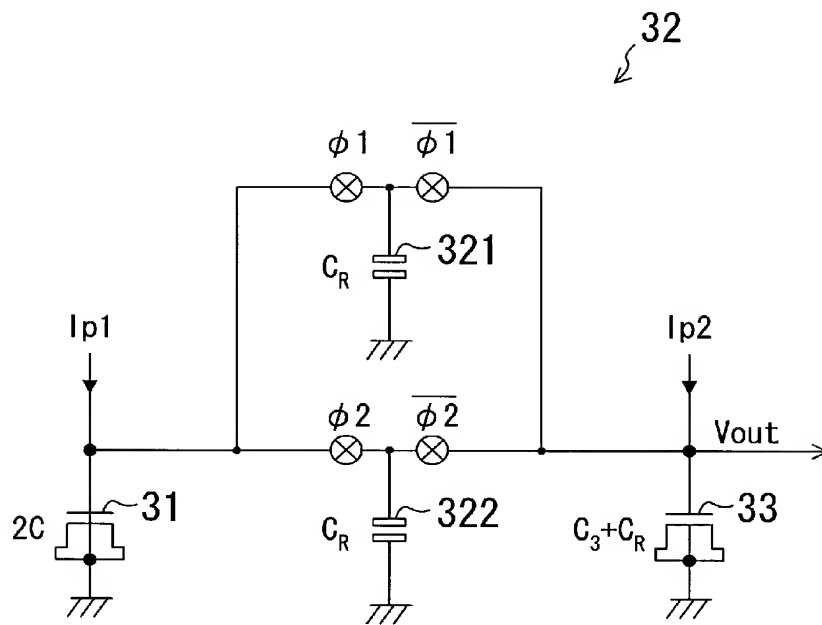
[図6]



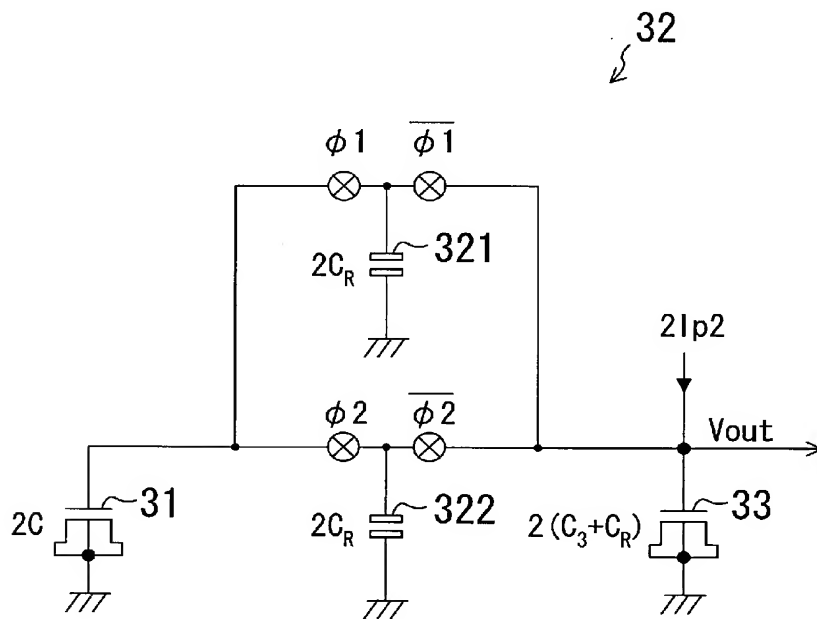
[図7]



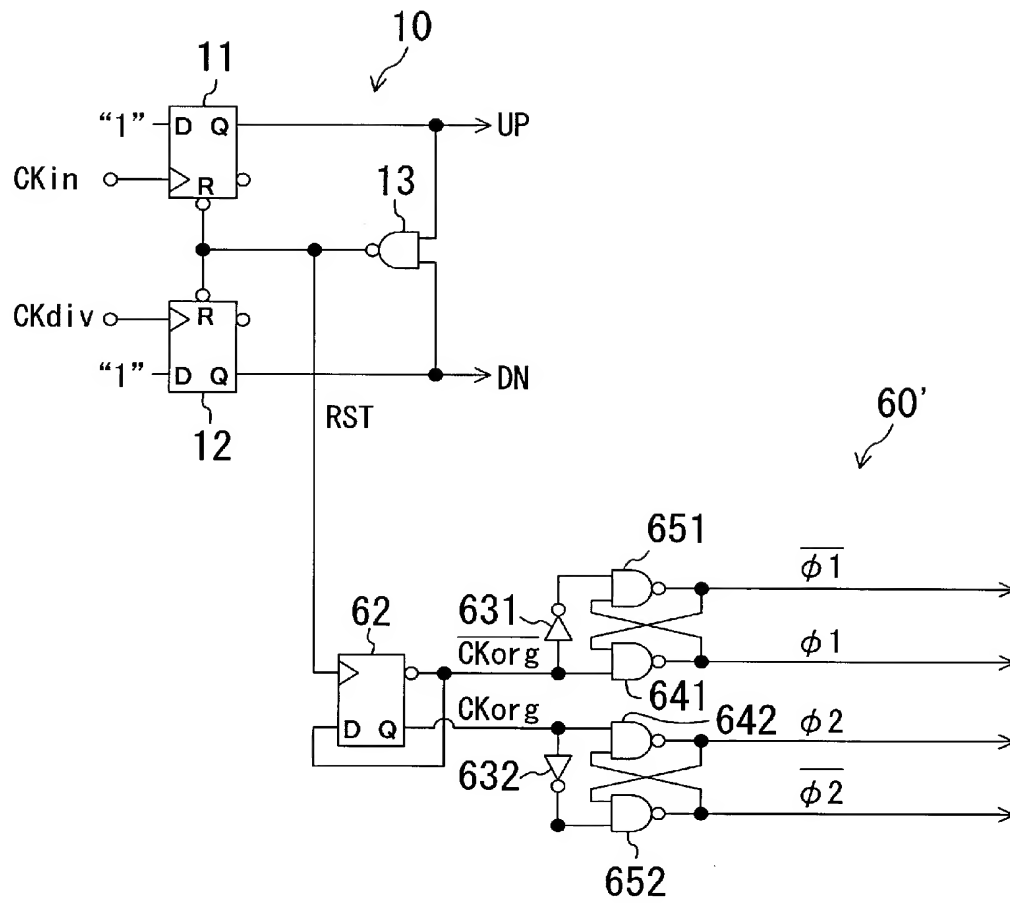
[図8]



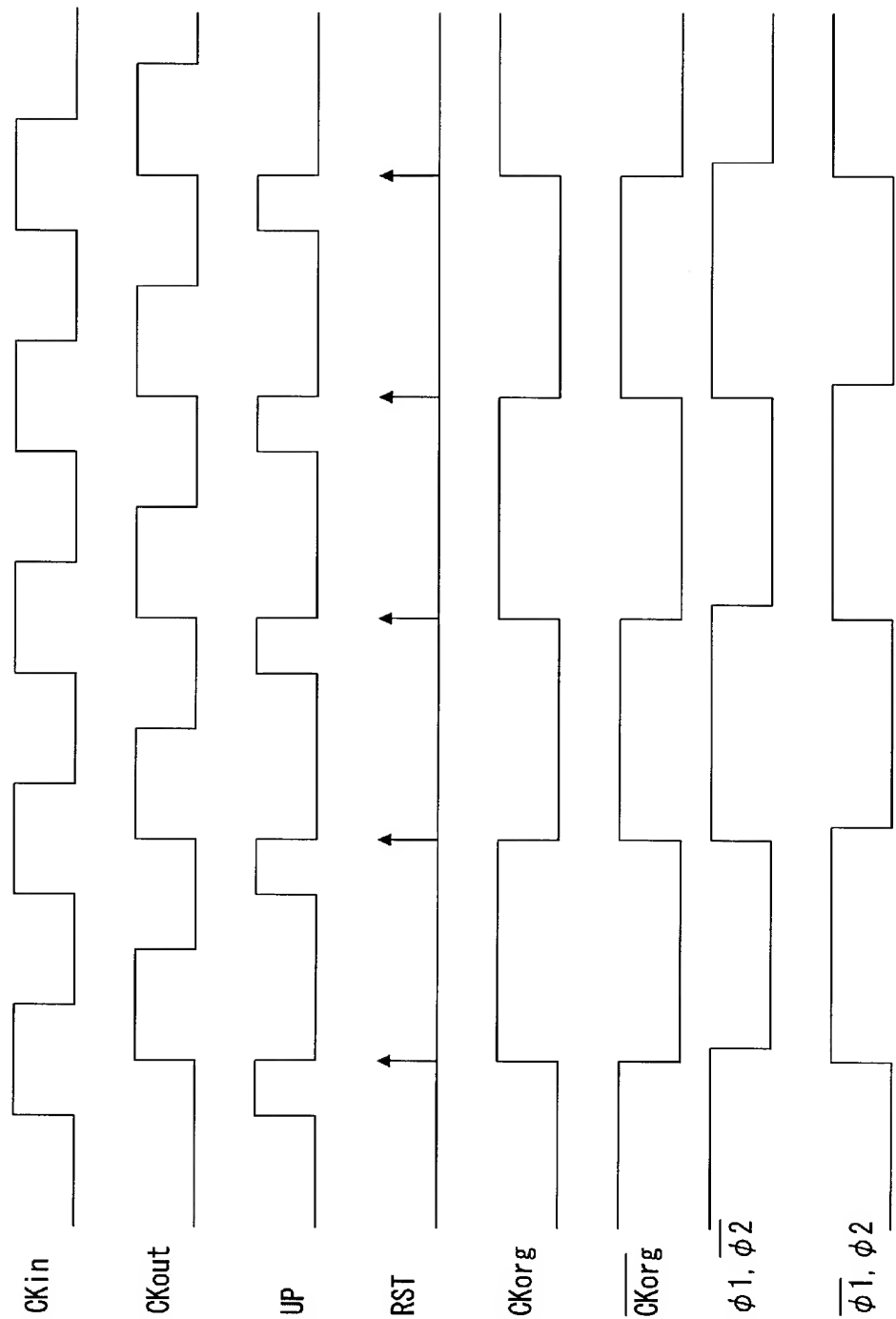
[図9]



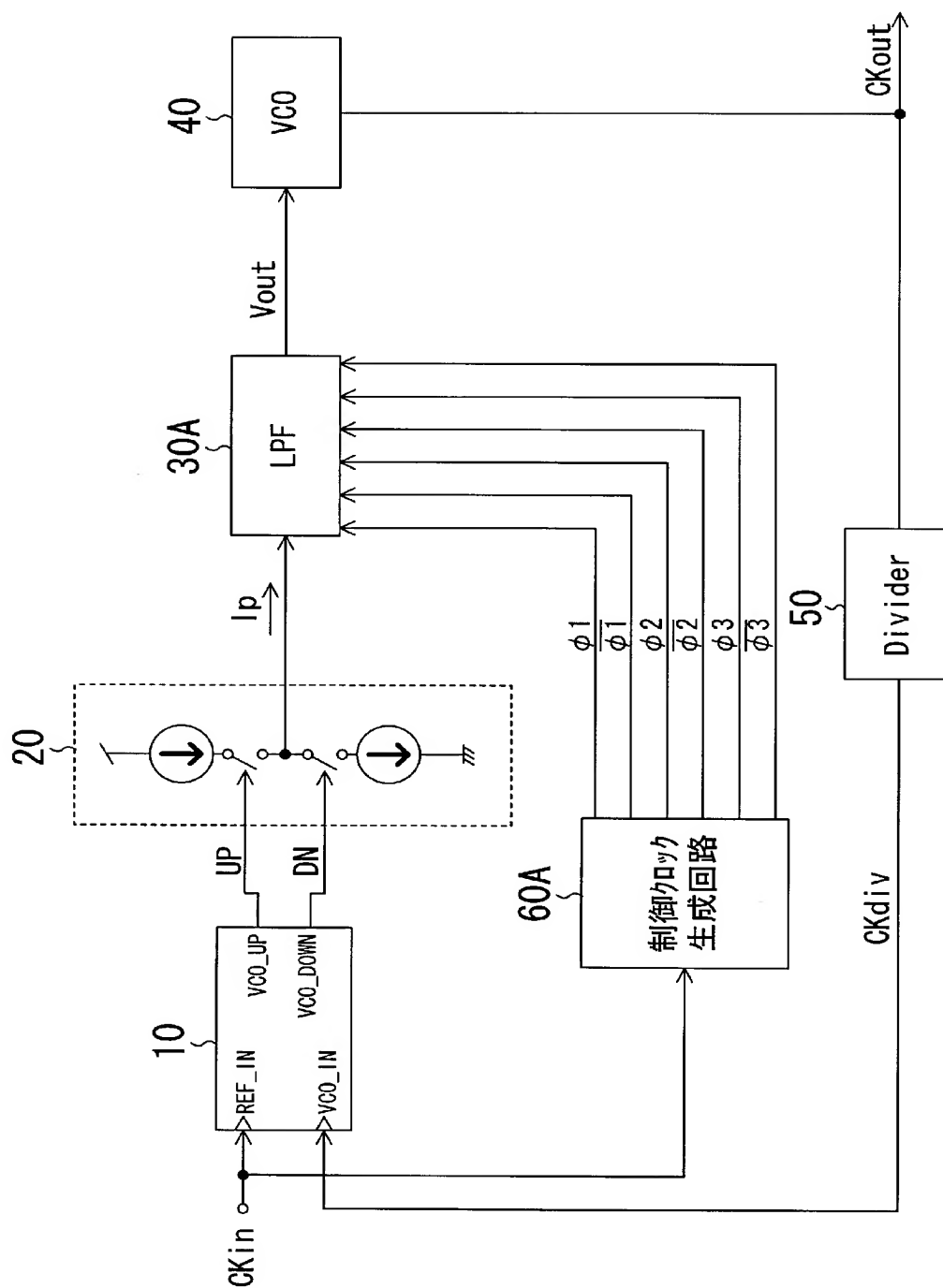
[図10]



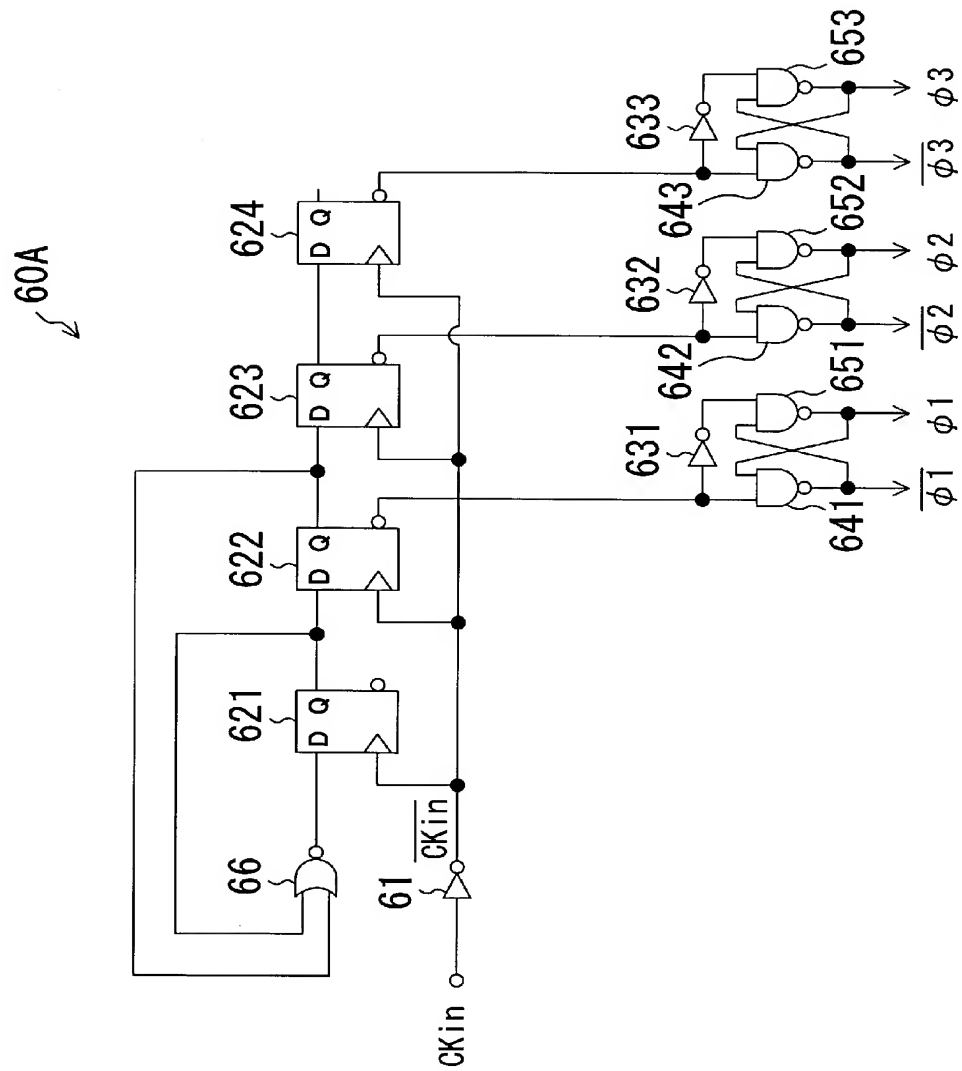
[図11]



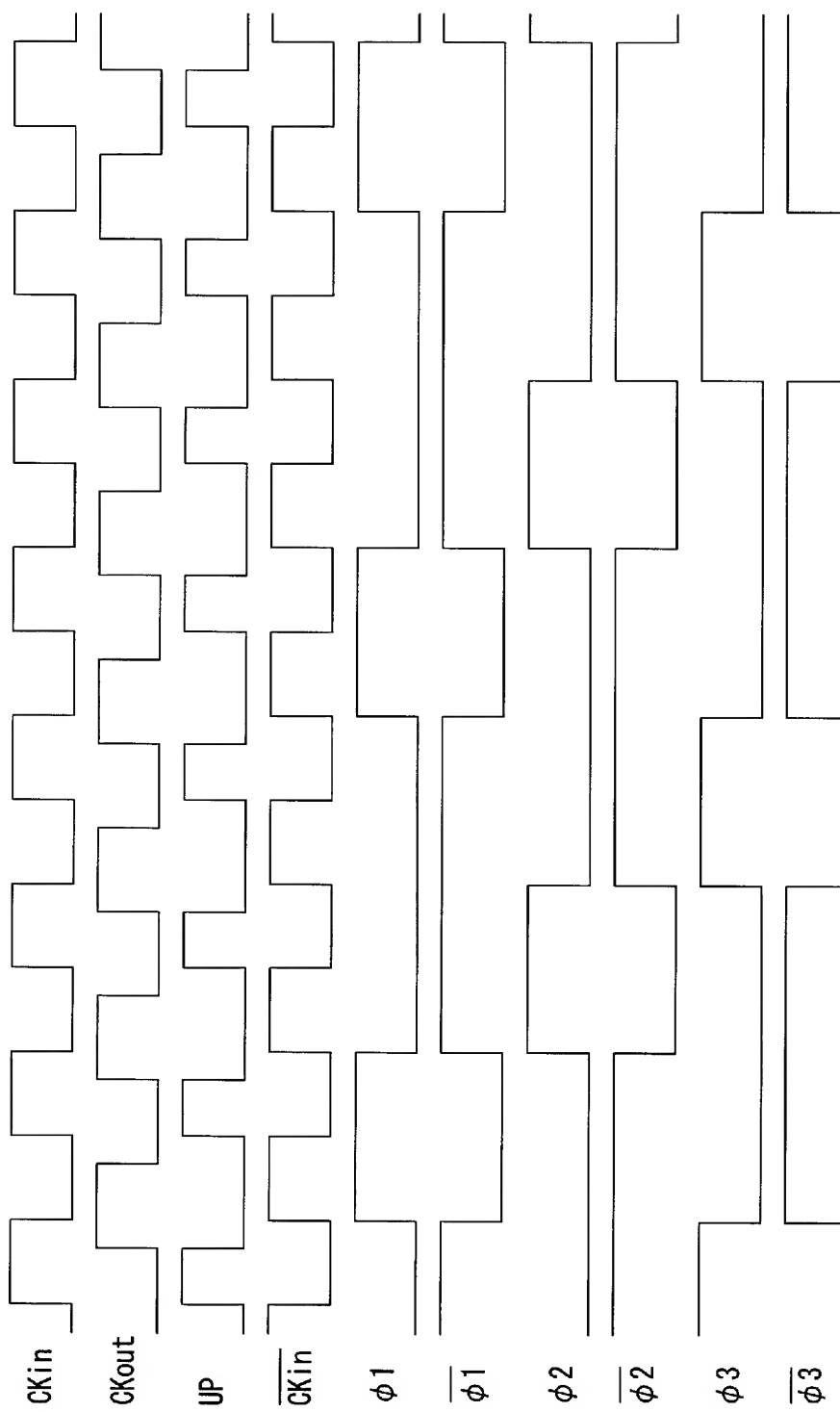
[図12]



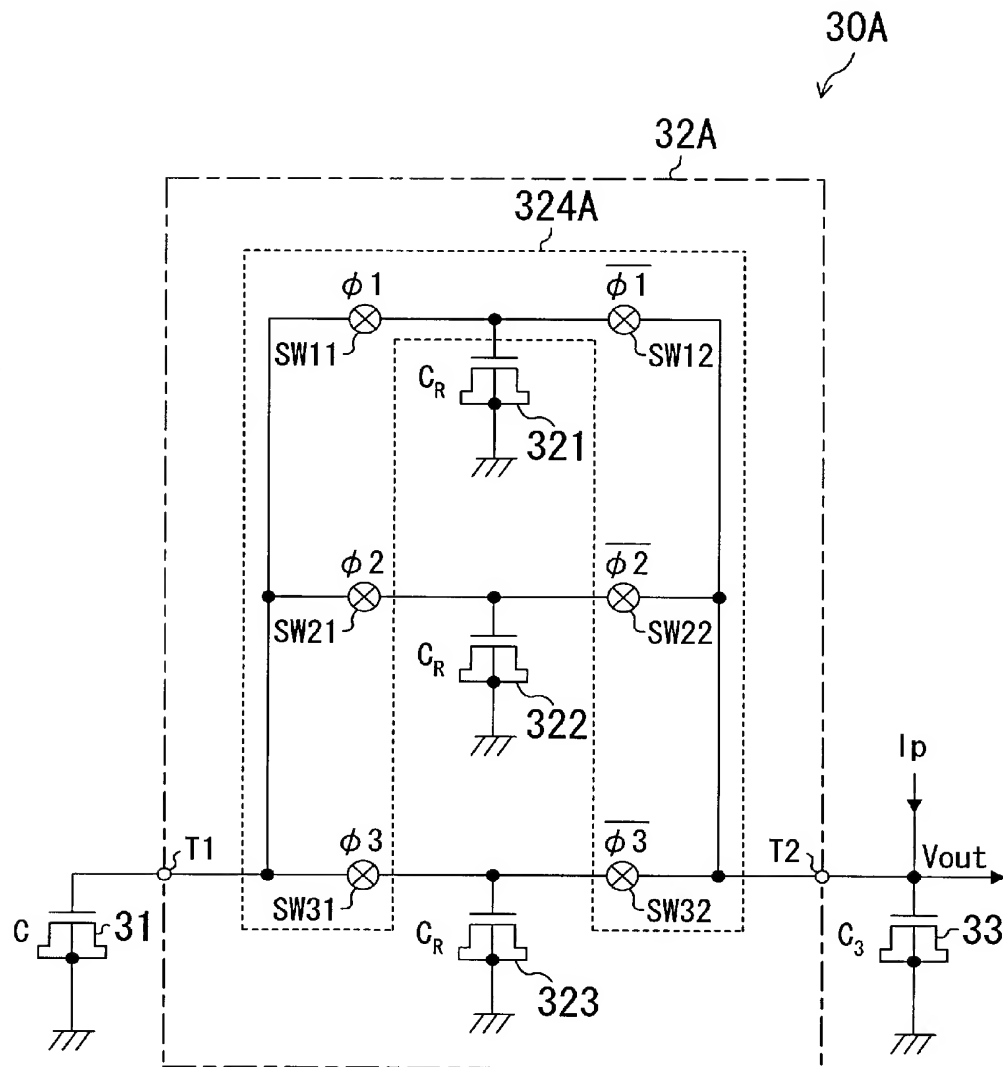
[図13]



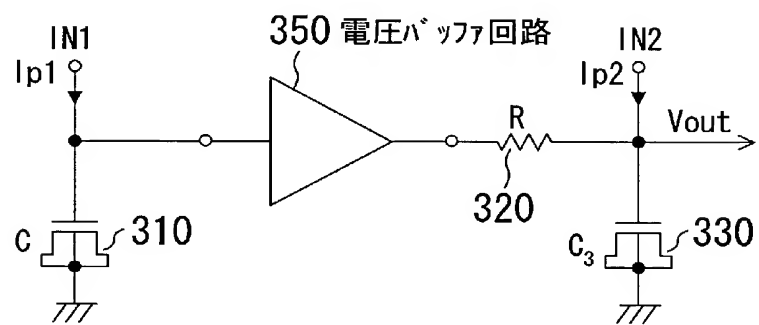
[図14]



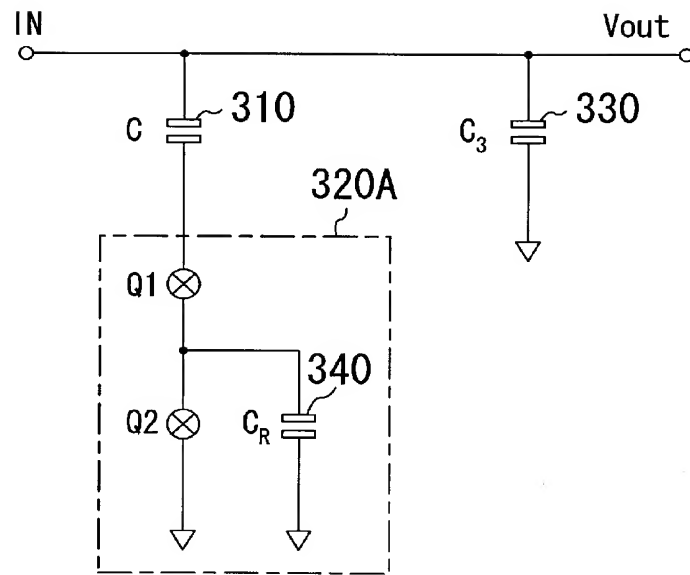
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017064

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03H19/00, H03L7/093

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03H19/00, H03L7/00-7/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005 .

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-505085 A (Motorola, Inc.), 29 July, 1993 (29.07.93), Page 2, lower right column, line 15 to page 3, upper right column, line 12; Fig. 1 & US 5055803 A & GB 2256984 A & WO 1992/010879 A1	1-3, 6, 7, 9 4, 5, 8, 10-12
Y A	JP 2003-517755 A (Ericsson Inc.), 27 May, 2003 (27.05.03), Par. Nos. [0023] to [0026]; Fig. 4 & US 6259289 B1 & US 6420917 B1 & WO 2001/026230 A1	1-3, 6, 7, 9 4, 5, 8, 10-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 February, 2005 (21.02.05)

Date of mailing of the international search report
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017064

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 57-84614 A (American Microsystems Inc.), 27 May, 1982 (27.05.82), Page 4, upper left column, line 9 to page 5, lower left column, line 7; Fig. 5 & US 4344050 A	2, 3, 7, 9 4, 5, 8, 10-12
Y A	JP 10-108299 A (Yamaha Corp.), 24 April, 1998 (24.04.98), Par. No. [0017] & US 6130948 A	3, 9 5, 12
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 119400/1980 (Laid-open No. 43640/1982) (Hitachi, Ltd.), 10 March, 1982 (10.03.82), Page 6, line 19 to page 7, line 6; Fig. 6 (Family: none)	4, 5, 10-12
A	JP 3-163912 A (Mitsubishi Electric Corp.), 15 July, 1991 (15.07.91), Page 2, lower left column, line 14 to page 3, upper left column, line 8; Fig. 1 (Family: none)	8, 11

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl.⁷ H03H19/00, H03L7/093

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl.⁷ H03H19/00, H03L7/00-7/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 5-505085 A (モトローラ・インコーポレーテッド) 1993.07.29, 第2頁右下欄第15行~第3頁右上欄第12行, 第1図 & US 5055803 A & GB 2256984 A & WO 1992/010879 A1	1-3, 6, 7, 9 4, 5, 8, 10-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
21.02.2005

国際調査報告の発送日 08.3.2005

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
高木 進

5W 3139

電話番号 03-3581-1101 内線 3575

様式PCT/ISA/210 (第2ページの続き) (2004年1月)